

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-048591

(43)Date of publication of application : 18.02.2000

(51)Int.Cl.

G11C 29/00
G11C 11/401
H01L 21/82
H01L 21/8242
H01L 27/108

(21)Application number : 10-213648

(71)Applicant : HITACHI LTD
HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 29.07.1998

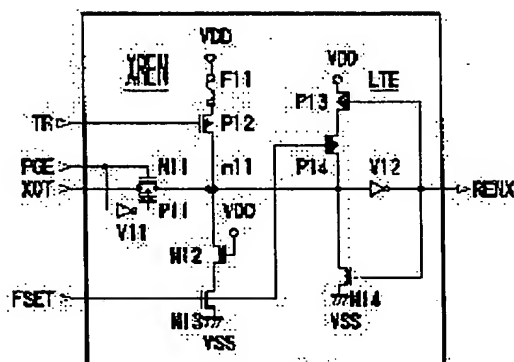
(72)Inventor : MURANAKA MASAYA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify a fabrication process for a dynamic-type RAM or the like which has a redundancy circuit or a trimming circuit including a fuse, and enhance a product yield thereof.

SOLUTION: In a dynamic-type RAM or the like which has a redundancy circuit to be used for failure relief or a trimming circuit to be used for potential adjustment including a fuse, a switch MOSFET P12 of P-channel type, which is to be set in an ON state in a normal operation and in an OFF state in a predetermined test operation, is provided, for example, to be connected in series with a fuse F11 in a redundant enable circuit XREN. A latch circuit LTE is also provided to hold dummy disconnection information for producing a dummy disconnected condition without actually disconnecting the fuse F11. A transfer gate which is to be selectively set in an ON state in a fuse dummy-disconnected mode is provided between an inverted input/output node of this latch circuit LTE and a predetermined signal path, i.e., for example, a non-inverted internal X address signal line XOT of the least significant bit, by connecting an N-channel MOSFET N11 and a P-channel MOSFET P11 in parallel.



【特許請求の範囲】

【請求項 1】 所定の条件で選択的に切断状態とされるヒューズ手段と、

上記ヒューズ手段と直列形態に設けられ、通常動作時オン状態とされ、所定の試験動作時はオフ状態とされる第 1 のスイッチ手段と、

上記ヒューズ手段を実際には切断状態としないまま疑似的に切断された状態を作りだすための疑似切断情報を保持するラッチ回路とを含むヒューズ回路を具備することを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 において、

上記疑似切断情報は、所定のヒューズ疑似切断モード時、所定の信号経路を介して外部から供給されるものであって、

上記ヒューズ回路は、さらに、上記信号経路と上記ラッチ回路の非反転又は反転出力ノードとの間に設けられ、上記疑似切断情報書き込み動作時、所定のタイミングで選択的にオン状態とされる第 2 のスイッチ手段を含むものであることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 2 において、

上記第 2 のスイッチ手段は、並列形態とされる第 1 及び第 2 導電型の MOSFET からなるものであることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1、請求項 2 又は請求項 3 において、

上記第 1 のスイッチ手段は、第 1 導電型の第 1 の MOSFET からなるものであり、

上記ヒューズ手段及び第 1 の MOSFET は、第 1 の電源電圧と第 1 の内部ノードとの間に直列形態に設けられるものであって、

上記ヒューズ回路は、

上記第 1 の内部ノードと第 2 の電源電圧との間に設けられ、電源投入時に一時的にオン状態とされる第 2 導電型の第 2 の MOSFET と、

その入力端子が上記第 1 の内部ノードに結合される第 1 のインバータと、

そのソースが第 1 の電源電圧に結合され、そのゲートが上記第 1 のインバータの出力端子に結合される第 1 導電型の第 3 の MOSFET と、

上記第 2 の MOSFET のドレインと第 1 の内部ノードとの間に設けられ、上記第 2 の MOSFET と相補的な条件で選択的にオン状態とされる第 1 導電型の第 4 の MOSFET と、

上記第 1 の内部ノードと第 2 の電源電圧との間に設けられそのゲートが上記第 1 のインバータの出力端子に結合される第 2 導電型の第 5 の MOSFET とを含むものであって、

上記ラッチ回路は、上記第 1 のインバータならびに上記第 3 ないし第 5 の MOSFET からなり、かつ上記第 1 の内部ノードをその反転出力ノードとするものである

ことを特徴とする半導体集積回路装置。

【請求項 5】 請求項 4 において、

上記半導体集積回路装置は、

何らかの障害が検出された欠陥素子と選択的に置き換えられる欠陥救済用の冗長素子と、

上記冗長素子が欠陥素子と置き換えられたことを記憶する冗長イネーブル回路とを具備するものであって、上記ヒューズ回路は、上記冗長イネーブル回路に含まれるものであることを特徴とする半導体集積回路装置。

【請求項 6】 請求項 1、請求項 2 又は請求項 3 において、

上記半導体集積回路装置は、

何らかの障害が検出された欠陥素子と選択的に置き換えられる欠陥救済用の冗長素子と、

上記冗長素子と置き換えられた欠陥素子の救済アドレスを保持し、この救済アドレスとアクセスに際して外部から供給されるアクセスアドレスと比較照合して、対応する上記冗長素子を選択的に選択状態とする冗長アドレス比較回路とを具備するものであって、

上記ヒューズ回路は、上記冗長アドレス比較回路に含まれ、かつ、

上記救済アドレスの各ビットの非反転及び反転信号に対応して設けられその一方が第 2 の内部ノードに共通結合される一対の上記ヒューズ手段と、

上記一対のヒューズ手段の他方にそれぞれ直列形態に設けられる一対の上記第 1 のスイッチ手段と、

上記一対のヒューズ手段に共通に設けられる上記ラッチ回路及び上記第 2 のスイッチ手段と、

上記第 1 のスイッチ手段のそれぞれに並列形態に設けられ、上記ラッチ回路に保持される疑似切断情報に従って選択的にオン状態とされる一対の第 3 のスイッチ手段と、

上記一対の第 1 及び第 3 のスイッチ手段のそれぞれに直列形態に設けられ、上記アクセスアドレス信号の対応するビットの非反転又は反転信号に従ってそれぞれ選択的にオン状態とされる一対の第 4 のスイッチ手段とを含むものであることを特徴とする半導体集積回路装置。

【請求項 7】 請求項 1、請求項 2、請求項 3、請求項 4、請求項 5 又は請求項 6 において、

上記半導体集積回路装置は、ダイナミック型 RAM であって、

上記冗長素子は、上記ダイナミック型 RAM のメモリアレイに設けられる冗長ワード線又は冗長ビット線であることを特徴とする半導体集積回路装置。

【請求項 8】 請求項 1、請求項 2 又は請求項 3 において、

上記半導体集積回路装置は、

外部から供給される電源電圧をもとに所定の内部電圧を生成する内部電圧発生回路と、

上記内部電圧の電位を調整するためのトリミング回路と

を具備するものであって、
上記ヒューズ回路は、上記トリミング回路に含まれるものであることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体集積回路装置に関するもので、例えば、ヒューズを含む欠陥救済用の冗長回路又は電位調整用のトリミング回路を備えるダイナミック型RAM（ランダムアクセスメモリ）等ならびにその製造工程の簡素化及び製品歩留まりの向上に利用して特に有効な技術に関する。

【0002】

【従来の技術】直交して配置されるワード線及び相補ビット線を含むメモリアレイをその基本構成要素とするダイナミック型RAM等のメモリ集積回路装置がある。また、ダイナミック型RAM等のメモリアレイに冗長ワード線及び冗長ビット線等の冗長素子を設け、これらの冗長素子を障害が検出された欠陥ワード線又は欠陥ビット線と置き換えることでダイナミック型RAM等の製品歩留まりを高めるいわゆる欠陥救済方式が知られている。欠陥救済方式をとるダイナミック型RAM等は、冗長ワード線又は冗長ビット線に対応して設けられるX系冗長回路及びY系冗長回路を備え、各冗長回路は、冗長ワード線又は冗長ビット線が欠陥ワード線又は欠陥ビットと置き換えられたとき選択的に切断状態とされるヒューズを含む冗長イネーブル回路と、救済アドレスつまり救済すべき欠陥ワード線又は欠陥ビットのアドレスの対応するビットが論理“0”又は“1”とされるとき選択的に切断状態とされるヒューズを含む冗長アドレス比較回路とを備える。

【0003】一方、外部から供給される電源電圧をもとに基板電圧や各種の内部電圧を生成する内部電圧発生回路を備えるダイナミック型RAM等のメモリ集積回路装置がある。内部電圧発生回路を備えるダイナミック型RAM等は、さらに、対応する内部電圧の電位を調整すべく所定の組み合わせで選択的に切断状態とされる複数のヒューズを含むトリミング回路を備えることが多い。

【0004】

【発明が解決しようとする課題】上記ダイナミック型RAM等において、冗長回路又はトリミング回路に設けられたヒューズは、いわゆるブローバテスト（P検）による機能試験の結果をもとに、レーザビーム等を用いて選択的に切断状態とされる。このため、冗長素子による欠陥救済が行われ、又はトリミング回路による電位調整が行われたダイナミック型RAM等では、ヒューズが確実に切断状態とされ、冗長回路による欠陥救済又はトリミング回路による電位調整が予定通り行われていることを確認するための2回目のブローバテストが必要となる。また、冗長素子を含む冗長回路又はトリミング回路自体に障害があってこれらの回路が正常に機能できない場

合、欠陥ワード線又は欠陥ビットを救済し、あるいは内部電圧の電位を所望の値に設定することができない。この結果、ダイナミック型RAM等の製造工程が煩雑化してその低コスト化が阻害されるとともに、ダイナミック型RAM等の製品歩留まりを思うように高めることができないという問題が生じる。

【0005】この発明の目的は、ヒューズを含む欠陥救済用の冗長回路又は電位調整用のトリミング回路を備えるダイナミック型RAM等の半導体集積回路装置の製造工程を簡素化し、その製品歩留まりを高めることにある。

【0006】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、ヒューズを含む欠陥救済用の冗長回路又は電位調整用のトリミング回路を備えるダイナミック型RAM等において、冗長回路又はトリミング回路の各ヒューズと直列形態に、通常動作時オン状態とされ、所定の試験動作時はオフ状態とされる第1のスイッチ手段をそれぞれ設けるとともに、各ヒューズに対応して、各ヒューズを実際には切断状態としないまま疑似的に切断された状態とするための疑似切断情報を保持するラッチ回路を設け、各ラッチ回路の非反転又は反転入出力ノードと所定の信号経路との間に、Pチャンネル及びNチャンネルMOSFETが並列結合されてなり、ヒューズ疑似切断モード時選択的にオン状態とされる第2のスイッチ手段をそれぞれ設ける。

【0008】上記手段によれば、ラッチ回路に疑似切断情報を書き込み、所望のヒューズを疑似的に切断状態とした状態で、ダイナミック型RAM等の欠陥救済後又は電位調整後の機能試験をヒューズ切断前に仮想的に実施し、冗長回路や冗長素子ならびにトリミング回路自体の正常性を確認できるため、ブローバテストを単一化することができる。また、特にウエハ上に形成された複数のチップを同時に試験対象とするいわゆる多数取りブローバテストの場合、試験対象となるチップごとに異なる疑似切断情報を与え、個別の確認試験を実施できるとともに、冗長素子自体に障害が検出された場合、冗長素子を正常なものと取り替えて確実に欠陥救済を実現することができる。この結果、ダイナミック型RAM等の製造工程を簡素化し、その機能試験を効率化して、ダイナミック型RAM等の低コスト化を図ることができるとともに、その製品歩留まりを高めることができる。

【0009】

【発明の実施の形態】図1には、この発明が適用されたダイナミック型RAM（半導体集積回路装置）の一実施例のブロック図が示されている。同図をもとに、まずこの実施例のダイナミック型RAMの構成及び動作の概要

について説明する。なお、図1の各ブロックを構成する回路素子は、特に制限されないが、公知のMOSFET（金属酸化半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする）集積回路の製造技術により、単結晶シリコンのような1個の半導体基板面上に形成される。

【0010】図1において、この実施例のダイナミック型RAMは、半導体基板面の大半を占めて配置されるメモリアレイMARYをその基本構成要素とする。メモリアレイMARYは、図の垂直方向に平行して配置される $m+1$ 本のワード線 $W_0 \sim W_m$ ならびに1本の冗長ワード線 W_r （冗長素子）と、図の水平方向に平行して配置される $n+1$ 組の相補ビット線相補ビット線 $B_0^* \sim B_n^*$ （ここで、例えば非反転ビット線 B_0^T 及び反転ビット線 B_0^B を、合わせて相補ビット線 B_0^* のように $*$ を付して表す。また、それが有効とされるとき選択的にハイレベルとされるいわゆる非反転信号等については、その名称の末尾にTを付して表し、それが有効とされるとき選択的にロウレベルとされるいわゆる反転信号等については、その名称の末尾にBを付して表す。以下同様）ならびに1組の冗長ビット線 B_r^* （冗長素子）とを含む。これらのワード線及びビット線の交点には、情報蓄積キャパシタ及びアドレス選択MOSFETからなる合計 $(m+2) \times (n+2)$ 個のダイナミック型メモセルが格子状に配置される。

【0011】メモリアレイMARYを構成するワード線 $W_0 \sim W_m$ ならびに冗長ワード線 W_r は、XアドレスデコーダXDに結合され、択一的に選択レベルとされる。このXアドレスデコーダXDには、XアドレスバッファXBからそれぞれ非反転及び反転信号からなる $i+1$ ビットの内部Xアドレス信号 $X_0^* \sim X_i^*$ が供給されるとともに、X系冗長回路XRから冗長ワード線選択信号 X_r が供給され、さらにタイミング発生回路TGから内部制御信号XGが供給される。また、X系冗長回路XRには、XアドレスバッファXBから上記内部Xアドレス信号 $X_0^* \sim X_i^*$ が供給されるとともに、タイミング発生回路TGから内部制御信号PCB、TR、PGE、PGCならびにヒューズセット信号FSETが供給される。さらに、XアドレスバッファXBには、外部のアクセス装置からアドレス入力端子 $A_0 \sim A_i$ を介してXアドレス信号 $AX_0 \sim AX_i$ が時分割的に供給されるとともに、タイミング発生回路TGから内部制御信号XLが供給される。

【0012】XアドレスバッファXBは、アドレス入力端子 $A_0 \sim A_i$ を介して供給されるXアドレス信号 $AX_0 \sim AX_i$ を内部制御信号XLに従って取り込み、保持するとともに、これらのXアドレス信号をもとに内部Xアドレス信号 $X_0^* \sim X_i^*$ を形成し、XアドレスデコーダXD及びX系冗長回路XRに供給する。また、X系

冗長回路XRは、メモリアレイMARYの冗長ワード線 W_r と置き換えられた欠陥素子つまり欠陥ワード線の救済アドレスを保持するとともに、この救済アドレスとアクセスに際して外部のアクセス装置から供給されるアクセスアドレスつまりXアドレス信号 $AX_0 \sim AX_i$ すなわち内部Xアドレス信号 $X_0^* \sim X_i^*$ とを比較照合して、両アドレスが全ビット一致するときその出力信号たる冗長ワード線選択信号 X_r を選択的にハイレベルとする。なお、X系冗長回路XRの具体的構成及び動作等については、後で詳細に説明する。

【0013】一方、XアドレスデコーダXDは、内部制御信号XGのハイレベルを受けて選択的に動作状態とされ、XアドレスバッファXBから供給される内部Xアドレス信号 $X_0^* \sim X_i^*$ をデコードして、メモリアレイMARYの対応するワード線 $W_0 \sim W_m$ を択一的に所定の選択レベルとする。また、X系冗長回路XRから供給される冗長ワード線選択信号 X_r がハイレベルとされるときには、内部Xアドレス信号 $X_0^* \sim X_i^*$ のデコード動作を停止して、メモリアレイMARYの冗長ワード線 W_r を択一的に所定の選択レベルとする。

【0014】次に、メモリアレイMARYを構成する相補ビット線 $B_0^* \sim B_n^*$ ならびに冗長ビット線 B_r^* は、センスアンプSAに結合され、これを介して択一的に相補共通データ線 CD^* に接続される。センスアンプSAには、YアドレスデコーダYDから図示されない合計 $n+2$ ビットのビット線選択信号 $YS_0 \sim YS_n$ ならびに YS_r が供給されるとともに、タイミング発生回路TGから内部制御信号PAが供給される。また、YアドレスデコーダYDには、YアドレスバッファYBからそれぞれ非反転及び反転信号からなる $i+1$ ビットの内部Yアドレス信号 $Y_0^* \sim Y_i^*$ が供給されるとともに、Y系冗長回路YRから1ビットの冗長ビット線選択信号 Y_r が供給され、タイミング発生回路TGから内部制御信号YGが供給される。さらに、Y系冗長回路YRには、YアドレスバッファYBから内部Yアドレス信号 $Y_0^* \sim Y_i^*$ が供給され、タイミング発生回路TGから内部制御信号PCB、TR、PGE、PGCならびにヒューズセット信号FSETが供給される。加えて、YアドレスバッファYBには、外部のアクセス装置からアドレス入力端子 $A_0 \sim A_i$ を介してYアドレス信号 $AY_0 \sim AY_i$ が時分割的に供給され、タイミング発生回路TGから内部制御信号YLが供給される。

【0015】YアドレスバッファYBは、外部のアクセス装置からアドレス入力端子 $A_0 \sim A_i$ を介して供給されるYアドレス信号 $AY_0 \sim AY_i$ を内部制御信号YLに従って取り込み、保持するとともに、これらのYアドレス信号をもとに内部Yアドレス信号 $Y_0^* \sim Y_i^*$ を形成し、YアドレスデコーダYD及びY系冗長回路YRに供給する。また、Y系冗長回路YRは、メモリアレイMARYの冗長ビット線 B_r^* と置き換えられた欠陥ビ

ット線の救済アドレスを保持するとともに、この救済アドレスとアクセスに際して外部のアクセス装置から供給されるアクセスアドレスつまりYアドレス信号AY0～AYiすなわち内部Yアドレス信号Y0*～Yi*とを比較照合して、両アドレスが全ビット一致するときその出力信号たる冗長ビット線選択信号Yrを選択的にハイレベルとする。なお、Y系冗長回路YRの具体的構成及び動作等については、X系冗長回路XRとほぼ同じであるため、後のX系冗長回路XRの具体的説明から類推されたい。

【0016】YアドレスデコーダYDは、内部制御信号YGのハイレベルを受けて選択的に動作状態とされ、YアドレスバッファYBから供給される内部Yアドレス信号Y0*～Yi*をデコードして、センスアンプSAに対するビット線選択信号YS0～YSnを択一的にハイレベルとする。YアドレスデコーダYDは、Y系冗長回路YRから供給される冗長ビット線選択信号Yrがハイレベルとされるとき、内部Yアドレス信号Y0*～Yi*のデコード動作を停止して、センスアンプSAに対するビット線選択信号YSrを択一的にハイレベルとする。

【0017】センスアンプSAは、メモリアレイMARYの相補ビット線B0*～Bn*ならびに冗長ビット線Br*に対応して設けられるn+2個の単位回路を含み、これらの単位回路のそれぞれは、一対のCMOS（相補型MOS）インバータが交差結合されてなる単位増幅回路と、Nチャンネル型の3個のプリチャージMOSFETが直並列結合されてなるビット線プリチャージ回路と、Nチャンネル型の一対のスイッチMOSFETとをそれぞれ含む。このうち、各単位回路の単位増幅回路は、ダイナミック型RAMが選択状態とされ内部制御信号PAがハイレベルとされることで選択的にかつ一斉に動作状態とされ、メモリアレイMARYの選択ワード線に結合されるn+2個のメモリセルから対応する相補ビット線B0*～Bn*あるいは冗長ビット線Br*を介して出力される微小読み出し信号増幅して、ハイレベル又はロウレベルの2値読み出し信号とする。

【0018】一方、各単位回路のビット線プリチャージ回路を構成するプリチャージMOSFETは、図示されない内部制御信号PCのハイレベルを受けて一斉にオン状態となり、メモリアレイMARYの対応する相補ビット線B0*～Bn*ならびに相補ビット線Br*の非反転及び反転信号線を所定の中間電位にプリチャージする。また、各スイッチMOSFET対は、ビット線選択信号YS0～YSnあるいはYSrのハイレベルを受けて1組ずつ選択的にオン状態となり、メモリアレイMARYの対応する1組の相補ビット線B0*～Bn*あるいは冗長ビット線Br*と相補共通データ線CD*との間を選択的に接続する。

【0019】相補共通データ線CD*は、データ入出力

回路IOに結合される。データ入出力回路IOは、それぞれ1個のライトアンプ及びメインアンプならびにデータ入力バッファ及びデータ出力バッファを含む。このうち、ライトアンプの出力端子及びメインアンプの入力端子は、相補共通データ線CD*に共通結合される。また、ライトアンプの入力端子は、データ入力バッファの出力端子に結合され、メインアンプの出力端子は、データ出力バッファの入力端子に結合される。データ入力バッファの入力端子は、データ入力端子Dinに結合され、データ出力バッファの出力端子は、データ出力端子Doutに結合される。ライトアンプには、タイミング発生回路TGから図示されない内部制御信号WPが供給され、データ出力バッファには、図示されない内部制御信号OCが供給される。

【0020】データ入出力回路IOのデータ入力バッファは、ダイナミック型RAMが書き込みモードで選択状態とされるとき、データ入力端子Dinを介して供給される書き込みデータを取り込み、ライトアンプに伝達する。このとき、データ入出力回路IOのライトアンプは、内部制御信号WPのハイレベルを受けて選択的に動作状態となり、データ入力バッファから伝達される書き込みデータを所定の相補書き込み信号とした後、相補共通データ線CD*からセンスアンプSAを介してメモリアレイMARYの選択された1個のメモリセルに書き込む。

【0021】一方、データ入出力回路IOのメインアンプは、ダイナミック型RAMが読み出しモードで選択状態とされるとき、メモリアレイMARYの選択された1個のメモリセルから相補共通データ線CD*を介して出力される2値読み出し信号をさらに増幅して、データ出力バッファに伝達する。このとき、データ入出力回路IOのデータ出力バッファは、内部制御信号OCのハイレベルを受けて選択的に動作状態となり、メインアンプから伝達される読み出しデータをデータ出力端子Doutを介して外部のアクセス装置に出力する。

【0022】タイミング発生回路TGは、外部のアクセス装置から起動制御信号として供給されるロウアドレスストローブ信号RASB、カラムアドレスストローブ信号CASBならびにライトイネーブル信号WEBをもとに、上記各種の内部制御信号等を選択的に形成して、ダイナミック型RAMの各部に供給する。

【0023】図2には、図1のダイナミック型RAMに含まれるX系冗長回路XRの一実施例のブロック図が示されている。また、図3には、図2のX系冗長回路XRに含まれる冗長イネーブル回路XRENの一実施例の回路図が示され、図4には、図2のX系冗長回路XRのX系冗長アドレス比較回路XRACに含まれる単位アドレス比較回路UAC0の一実施例の回路図が示されている。さらに、図5には、図2のX系冗長回路XRの通常動作モード時における一実施例の信号波形図が示され、

図6及び図7には、図2のX系冗長回路XRに含まれる冗長イネーブル回路XREN及び単位アドレス比較回路UAC0のヒューズ疑似切断モード時における一実施例の信号波形図がそれぞれ示され、図8には、図2のX系冗長回路XRの冗長テストモード時の一実施例の信号波形図が示されている。これらの図をもとにこの実施例のダイナミック型RAMに含まれるX系冗長回路XRの具体的構成及び動作ならびにその特徴について説明する。

【0024】なお、この実施例のダイナミック型RAMは、前述のように、X系冗長回路XRと同様な構成とされるY系冗長回路YRを備えるが、このY系冗長回路の具体的構成及び動作等については、X系冗長回路XRに関する以下の説明から類推されたい。また、図4では、単位アドレス比較回路UAC0をもって、X系冗長アドレス比較回路XRACを構成する単位アドレス比較回路UAC0～UACiを説明する。以下の図において、そのチャネル（バックゲート）部に矢印が付されるMOSFETはPチャンネル型（第1導電型）であって、矢印の付されないNチャンネル型（第2導電型）のMOSFETと区別して示される。

【0025】図2において、X系冗長回路XRは、内部Xアドレス信号X0*～Xi*に対応して設けられるi+1個の単位アドレス比較回路UAC0～UACiと、これらの単位アドレス比較回路UAC0～UACiに共通に設けられる冗長イネーブル回路XRENとを備える。このうち、冗長イネーブル回路XRENには、タイミング発生回路TGから前記内部制御信号TR及びPGEならびにヒューズセット信号FSETが供給されるとともに、XアドレスバッファXBから最下位ビットの内部Xアドレス信号X0*の非反転信号つまり非反転内部Xアドレス信号X0Tが供給される。また、単位アドレス比較回路UAC0～UACiには、タイミング発生回路TGから内部制御信号TR及びPGCが共通に供給されるとともに、XアドレスバッファXBから対応する内部Xアドレス信号X0*～Xi*の非反転及び反転信号がそれぞれ供給される。

【0026】なお、内部制御信号TRは、ダイナミック型RAMが通常の動作モードとされるとき、接地電位VSS（第2の電源電圧）のようなロウレベル（以下、ロウレベルとは接地電位VSSのような電位を示す）に固定され、ダイナミック型RAMがヒューズ疑似切断モード又は冗長テストモードとされるときは、電源電圧VDD（第1の電源電圧）のようなハイレベル（以下、ハイレベルとは電源電圧VDDのような電位を示す）とされる。また、内部制御信号PGEは、ダイナミック型RAMが通常の動作モード、冗長テストモードならびにX系冗長アドレス比較回路のためのヒューズ疑似切断モードとされるときロウレベルに固定され、冗長イネーブル回路のためのヒューズ疑似切断モードとされるときには所定のタイミングで所定期間だけ一時的にハイレベルとさ

れる。

【0027】一方、ヒューズセット信号FSETは、ダイナミック型RAMの電源投入時に一時的にハイレベルとされ、その後はダイナミック型RAMの動作モードに関係なく定常的にロウレベルとされる。また、内部制御信号PGCは、ダイナミック型RAMが通常の動作モード、冗長テストモードならびに冗長イネーブル回路のためのヒューズ疑似切断モードとされるときはロウレベルに固定され、ダイナミック型RAMがX系冗長アドレス比較回路のためのヒューズ疑似切断モードで選択状態とされるとき所定のタイミングで所定期間だけ一時的にハイレベルとされる。なお、各内部制御信号のレベル及び時間関係と、各動作モードにおけるX系冗長回路XRの具体的動作等については、後で詳細に説明する。

【0028】X系冗長回路XRを構成する単位アドレス比較回路UAC0～UACiの出力端子は、内部ノードn1に共通結合される。この内部ノードn1は、Pチャンネル型のプリチャージMOSFETP1を介して電源電圧VDDに結合されるとともに、NチャンネルMOSFETN1を介して接地電位VSSに結合される。プリチャージMOSFETP1のゲートには、オア（OR）ゲートOG1の出力信号が供給され、MOSFETN1のゲートには、冗長イネーブル回路XRENの出力信号たる冗長イネーブル信号RENXのインバータV1による反転信号が供給される。オアゲートOG1の一方の入力端子には、タイミング発生回路TGから前記内部制御信号PCBが供給され、その他方の入力端子には、冗長イネーブル信号RENXのインバータV1による反転信号が供給される。内部ノードn1における電位は、X系冗長回路XRの出力信号つまり前記冗長ワード線選択信号Xrとして、XアドレスデコードXDに供給される。

【0029】なお、内部制御信号PCBは、ダイナミック型RAMが非選択状態とされあるいはヒューズ疑似切断モードで選択状態とされるときロウレベルに固定され、ダイナミック型RAMが通常の動作モード又は冗長テストモードで選択状態とされるとき比較的早い所定のタイミングでハイレベルとされる。

【0030】ここで、X系冗長回路XRの冗長イネーブル回路XRENは、図3に示されるように、ヒューズ回路の中心たるヒューズ手段つまりヒューズF11と、ヒューズF11の下部端子側に直列形態に設けられる第1のMOSFETつまりPチャンネルMOSFETP11（第1のスイッチ手段）とを含む。ヒューズF11の上部端子は、電源電圧VDDに結合され、MOSFETP11のドレインは、内部ノードn11（第1の内部ノード）に結合される。この内部ノードn11は、NチャンネルMOSFETN11及びPチャンネルMOSFETP11が並列結合されてなるトランスファゲート（第2のスイッチ手段）を介して非反転内部Xアドレス信号X0Tの信号経路つまり内部Xアドレス信号供給点X0T

に結合されるとともに、直列形態の2個のNチャンネルMOSFET N12及びN13（第2のMOSFET）を介して接地電位VSSに結合され、さらにインバータV12（第1のインバータ）の入力端子に結合される。

【0031】MOSFET P12のゲートには、タイミング発生回路TGから内部制御信号TRが供給される。また、トランスファゲートを構成するMOSFET N11のゲートには内部制御信号PGEが供給され、MOSFET P11のゲートには、そのインバータV11による反転信号が供給される。さらに、MOSFET N12のゲートは、電源電圧VDDに結合され、MOSFET N13のゲートには、ヒューズセット信号FSETが供給される。

【0032】冗長イネーブル回路XRENは、さらに、電源電圧VDDとインバータV12の入力端子つまり内部ノードn11との間に直列形態に設けられる2個のPチャンネルMOSFET P13（第3のMOSFET）及びP14（第4のMOSFET）と、インバータV13の入力端子と接地電位VSSとの間に設けられるNチャンネルMOSFET N14（第5のMOSFET）とを含む。このうち、MOSFET P14のゲートには、タイミング発生回路TGから上記ヒューズセット信号FSETが供給され、MOSFET P13及びN14のゲートは、インバータV12の出力端子に共通結合される。インバータV12の出力信号は、冗長イネーブル回路XRENの出力信号、つまり冗長イネーブル信号RENXとして前記MOSFET N1のゲートに供給される。これにより、インバータV12とMOSFET P13、P14ならびにN14は、MOSFET P14がオン状態とされることを条件に、すなわちヒューズセット信号FSETがロウレベルとされることを条件に選択的にラッチ回路LTEとして作用する。

【0033】この実施例において、冗長イネーブル回路XRENを構成するヒューズF11は、メモリアレイMARYを構成するワード線W0～Wmのいずれかに何らかの障害が検出され、この欠陥ワード線が冗長ワード線Wrと置き換えられたとき、つまり冗長ワード線Wrによる欠陥救済が行われるとき選択的に切断状態とされる。また、この実施例のダイナミック型RAMは、通常の動作モードに加えて、ヒューズF11を疑似的に切断状態とするための『冗長イネーブル回路のためのヒューズ疑似切断モード』と、ヒューズF11を疑似的に切断状態としたまま通常の機能試験を実施しうる『冗長テストモード』とを有する。さらに、冗長イネーブル回路のためのヒューズ疑似切断モードでは、内部Xアドレス信号X0*～Xi*の最下位ビットつまり非反転内部Xアドレス信号X0Tとして、ヒューズF11を疑似的に切断状態とするための疑似切断情報が入力され、ラッチ回路LTEは、この疑似切断情報を保持する記憶手段として作用する。

【0034】次に、X系冗長回路XRのヒューズ回路となる単位アドレス比較回路UAC0～UACiは、図4の単位アドレス比較回路UAC0に代表されるように、内部Xアドレス信号X0*の反転又は非反転信号に対応して設けられ単位アドレス比較回路UAC0の中心となる一対のヒューズF21及びF22と、これらのヒューズF21及びF22にそれぞれ直列形態に設けられる一対のNチャンネルMOSFET N21及びN23（第1のスイッチ手段）とを含む。MOSFET N21及びN23のゲートには、タイミング発生回路TGから内部制御信号TRのインバータV23による反転信号が共通に供給される。

【0035】単位アドレス比較回路UAC0のヒューズF21及びF22の上部端子は、単位アドレス比較回路UAC0の出力端子として前記内部ノードn1（第2の内部ノード）に共通結合される。また、MOSFET N21及びN23には、NチャンネルMOSFET N22及びN24（第3のスイッチ手段）がそれぞれ並列形態に設けられる。MOSFET N21及びN22の共通結合されたソースは、そのゲートに反転内部Xアドレス信号X0Bを受けるNチャンネルMOSFET N25（第4のスイッチ手段）を介して接地電位VSSに結合され、MOSFET N23及びN24の共通結合されたソースは、そのゲートに非反転内部Xアドレス信号X0Tを受けるNチャンネルMOSFET N26（第4のスイッチ手段）を介して接地電位VSSに結合される。

【0036】単位アドレス比較回路UAC0は、さらに、一対のインバータV21及びV22が交差結合されてなるラッチ回路LTx0を含む。このラッチ回路LTx0の非反転入力出力ノードつまり内部ノードn21は、MOSFET N22のゲートに結合されるとともに、NチャンネルMOSFET N27及びPチャンネルMOSFET P21が並列結合されてなるトランスファゲートを介して対応する非反転内部Xアドレス信号X0Tの信号経路つまり内部Xアドレス信号供給点X0Tに結合される。ラッチ回路LTx0の反転入力出力ノードつまり内部ノードn22は、MOSFET N24のゲートに結合される。また、トランスファゲートを構成するMOSFET N27のゲートには、タイミング発生回路TGから内部制御信号PGCが供給され、MOSFET P21のゲートにはそのインバータV24による反転信号が供給される。

【0037】この実施例において、単位アドレス比較回路UAC0を構成するヒューズF21は、メモリアレイMARYの冗長ワード線Wrと置き換えられた欠陥ワード線の救済アドレスの対応するビットつまり最下位ビットが論理“0”とされるとき選択的に切断状態とされ、ヒューズF22は、救済アドレスの最下位ビットが論理“1”とされるとき選択的に切断状態とされる。また、この実施例のダイナミック型RAMは、上記通常の動作

モード、冗長イネーブル回路のためのヒューズ疑似切断モードならびに冗長テストモードに加えて、ヒューズF21又はF22を疑似的に切断状態するための『X系冗長アドレス比較回路のためのヒューズ疑似切断モード』を備え、上記冗長テストモードでは、ヒューズF21又はF22を疑似的に切断状態としたまま通常の機能試験を実施できる。

【0038】さらに、X系冗長アドレス比較回路のためのヒューズ疑似切断モードでは、内部Xアドレス信号X0*~Xi*の各ビットの非反転信号つまり非反転内部Xアドレス信号X0T~XiTとして、単位アドレス比較回路UAC0~UACiのヒューズF21又はF22を切断状態とするための疑似切断情報がそれぞれ入力され、インバータV21及びV22からなるラッチ回路LTx0は、疑似切断情報を保持するための記憶手段として作用する。言うまでもなく、内部ノードn1には、図2で示したように、X系冗長回路XRのX系冗長アドレス比較回路XRACを構成するi+1個の単位アドレス比較回路UAC0~UACiの出力端子つまりヒューズF21及びF22の上部端子が共通結合される。

【0039】これらのことから、例えば単位アドレス比較回路UAC0の出力端子たる内部ノードn1は、ヒューズF21が非切断状態とされ、かつ対応する内部Xアドレス信号X0*が論理“0”とされてその反転内部Xアドレス信号X0Bがハイレベルとされるとき、言い換えるならば単位アドレス比較回路UAC0により保持される救済アドレスの最下位ビットが論理“1”とされ、対応する内部Xアドレス信号X0*が論理“0”とされて不一致のとき、そのハイレベルのプリチャージレベルがMOSFETN21及びN25を介してディスチャージされてロウレベルとされる。しかし、対応する内部Xアドレス信号X0*が論理“1”とされ反転内部Xアドレス信号X0Bがロウレベルとされると、つまり単位アドレス比較回路UAC0により保持される救済アドレスの最下位ビットと内部Xアドレス信号X0*がともに論理“1”で一致するときは、そのプリチャージレベルがディスチャージされることなく保持され、ハイレベルのままとされる。

【0040】一方、ヒューズF22に着目した場合、単位アドレス比較回路UAC0の出力端子たる内部ノードn1は、ヒューズF22が非選択状態とされ、かつ対応する内部Xアドレス信号X0*が論理“1”とされてその非反転内部Xアドレス信号X0Tがハイレベルとされるとき、言い換えるならば単位アドレス比較回路UAC0により保持される救済アドレスの最下位ビットが論理“0”とされ、かつ対応する内部Xアドレス信号X0*が論理“1”とされて不一致のとき、そのプリチャージレベルがMOSFETN23及びN26を介してディスチャージされてロウレベルとされる。しかし、内部Xアドレス信号X0*が論理“0”とされ非反転内部Xアド

レス信号X0Tがロウレベルとされると、つまり単位アドレス比較回路UAC0により保持される救済アドレスの最下位ビットと内部Xアドレス信号X0*がともに論理“0”で一致するときは、そのプリチャージレベルがディスチャージされることなく保持され、ハイレベルのままとされる。

【0041】ダイナミック型RAMが通常の動作モードとされるとき、内部制御信号TR及びPGEならびにPGCは、図5に示されるように、ロウレベルに固定される。また、ダイナミック型RAMは、ロウアドレスストروب信号RASBがハイレベルとされる間非選択状態とされ、この非選択時、内部制御信号XL、PCBならびにXGはすべてロウレベルとされる。ヒューズセット信号FSETは、ダイナミック型RAMの電源投入時に一時的にハイレベルとされた後、定常的にロウレベルとされる。内部Xアドレス信号X0*~Xi*の非反転及び反転信号は、内部制御信号XLのロウレベルを受けてすべてロウレベルとされる。

【0042】X系冗長回路XRの冗長イネーブル回路XRENでは、MOSFETP12が内部制御信号TRのロウレベルを受けてオン状態とされ、MOSFETN11及びP11からなるトランスファゲートは内部制御信号PGEのロウレベルを受けてオフ状態とされる。また、電源投入直後にヒューズセット信号FSETがロウレベルに戻されたのを受けてMOSFETN13はオフ状態にあり、MOSFETP14はオン状態にある。このため、MOSFETP14は、MOSFETP13及びN14ならびにインバータV12とともにラッチ回路LTEとして作用し、ヒューズF11の切断又は非切断情報を保持している。

【0043】すなわち、ヒューズF11が非切断状態とされるとき、冗長イネーブル回路XRENの内部ノードn11は、電源投入直後、ヒューズセット信号FSETがハイレベルとされた時点で電源電圧VDD及び接地電位VSS間の中間電圧より高くなる。このため、インバータV13の出力信号つまり冗長イネーブル信号RENXは、図5に太い実線で示されるように、ロウレベルとなり、ラッチ回路LTEは、ヒューズセット信号FSETがロウレベルに戻された時点でこのロウレベルを取り込み、内部ノードn11の電位はハイレベル固定される。

【0044】一方、ヒューズF11が切断状態にある場合、内部ノードn11は、ヒューズセット信号FSETがハイレベルとされた時点で接地電位VSSのようなロウレベルとなる。このため、冗長イネーブル信号RENXは、図5に太い点線で示されるように、ハイレベルとなり、ラッチ回路LTEは、ヒューズセット信号FSETがロウレベルに戻された時点でこのハイレベルを保持するものとなって、内部ノードn11の電位はロウレベル固定される。このようなラッチ回路LTEの保持状態

は、ヒューズセット信号FSETが次にハイレベルとされるまでの間、つまり電源が一旦切断されて再投入されるまでの間、保持される。

【0045】図2のX系冗長アドレス比較回路XRACでは、内部制御信号PCBのロウレベルを受けて、オアゲートOG1の出力信号が、冗長イネーブル回路XRENの出力信号たる冗長イネーブル信号RENXがハイレベルであることを条件に、言い換えるならばメモリアレイMARYの冗長ワード線Wrによる欠陥救済が行われていることを条件に選択的にロウレベルとなり、これを受けてプリチャージMOSFETP1がオン状態とされる。このとき、MOSFETN1は、冗長イネーブル信号RENXのインバータV1による反転信号のロウレベルを受けてオフ状態となり、これによって内部ノードn1つまりX系冗長回路XRの出力端子における冗長ワード線選択信号Xrはハイレベルとされる。

【0046】なお、冗長ワード線Wrによる欠陥救済が行われず冗長イネーブル信号RENXがロウレベルとされるとき、X系冗長アドレス比較回路XRACでは、インバータV1の出力信号がハイレベルとなり、オアゲートOG1の出力信号がハイレベルとなってプリチャージMOSFETP1による内部ノードn1のプリチャージ動作が停止されるとともに、MOSFETN1がオン状態となり、内部ノードn1つまり冗長ワード線選択信号Xrはロウレベルに固定される。

【0047】一方、ダイナミック型RAMが非選択状態とされるとき、X系冗長アドレス比較回路XRACの単位アドレス比較回路UAC0では、内部制御信号TRのロウレベルつまりそのインバータV23による反転信号のハイレベルを受けてMOSFETN21及びN23がオン状態とされ、内部制御信号PGCのロウレベルを受けてMOSFETN27及びP21からなるトランスファゲートがオフ状態とされる。また、MOSFETN25及びN26は、対応する内部Xアドレス信号X0*の非反転及び反転信号のロウレベルを受けてともにオフ状態とされる。このとき、インバータV21及びV22からなるラッチ回路LTX0は、セット又はリセット状態のいずれにあるか確定されないが、MOSFETN21及びN23がオン状態にあることで、MOSFETN25及びN26のドレインはラッチ回路LTX0の保持状態に関係なくヒューズF21又はF22の下部端子に接続される。しかし、MOSFETN25及びN26がともにオフ状態とされることで、内部ノードn1のプリチャージレベルはディスチャージされることなく保持され、冗長ワード線選択信号Xrはハイレベルとされる。

【0048】次に、ロウアドレスストロブ信号RASBがハイレベルからロウレベルに変化されると、ダイナミック型RAMは選択状態とされ、このロウアドレスストロブ信号RASBの立ち下がりにおける他の起動制御信号の論理レベルの組み合わせに応じてその動作モードは通常モードとされる。

アドレス入力端子A0~Aiには、ロウアドレスストロブ信号RASBの立ち下がりに同期してi+1ビットからなるXアドレス信号AXaが供給され、図示されないカラムアドレスストロブ信号CASBの立ち下がりに同期してYアドレス信号AYaが供給される。タイミング発生回路TGは、ロウアドレスストロブ信号RASBの立ち下がりを受けて内部制御信号XL及びPCBをハイレベルとし、さらに所定の時間が経過した時点で内部制御信号XGをハイレベルとする。

【0049】ダイナミック型RAMでは、内部制御信号XLのハイレベルを受けてアドレス入力端子A0~AiのXアドレス信号AXaがXアドレスバッファXBに取り込まれ、所定時間後に内部Xアドレス信号X0*~Xi*の非反転及び反転信号の論理レベルが対応する組み合わせでハイレベル又はロウレベルに確定される。また、内部制御信号PCBのハイレベルを受けてX系冗長アドレス比較回路XRACのオアゲートOG1の出力信号がハイレベルとされ、プリチャージMOSFETP1による内部ノードn1のプリチャージ動作が停止される。冗長イネーブル回路XRENの出力信号たる冗長イネーブル信号RENXは、前述のように、メモリアレイMARYの冗長ワード線Wrによる欠陥救済が行われずヒューズF11が非切断状態にある場合はロウレベルとされ、冗長ワード線Wrによる欠陥救済が行われヒューズF11が切断状態にある場合はハイレベルとされる。

【0050】メモリアレイMARYの冗長ワード線Wrによる欠陥救済が行われず、冗長イネーブル信号RENXがロウレベルとされるとき、X系冗長アドレス比較回路XRACでは、前述のように、MOSFETN1がオン状態とされ、内部ノードn1つまり冗長ワード線選択信号Xrは、図5に実線で示されるように、ロウレベルに固定される。このため、内部制御信号XGがハイレベルとされた時点で、メモリアレイMARYの指定されたワード線Waが択一的に選択レベルとされ、このワード線WaとYアドレス信号AYaにより指定されるビット線の交点に配置された1個のメモリセルに対するアクセスが実行される。

【0051】一方、メモリアレイMARYの冗長ワード線Wrによる欠陥救済が行われ、冗長イネーブル信号RENXがハイレベルとされるとき、X系冗長アドレス比較回路XRACでは、前述のように、ダイナミック型RAMが非選択状態とされる間に内部ノードn1のプリチャージ動作が行われ、冗長ワード線選択信号Xrは、図5に太い点線で示されるように、ダイナミック型RAMが選択状態とされる当初ハイレベルにある。この内部ノードn1のプリチャージレベルは、内部Xアドレス信号X0*~Xi*の非反転及び反転信号の論理レベルが確定した時点で、選択的にディスチャージされ、ロウレベルに変化する。

【0052】すなわち、X系冗長アドレス比較回路XRACの単位アドレス比較回路UAC0～UACiのいずれかで救済アドレスの各ビットとアクセスアドレスつまり内部Xアドレス信号X0*～Xi*の対応するビットが不一致となった場合、内部ノードn1のハイレベルはディスチャージされ、ロウレベルとされる。また、この冗長ワード線選択信号Xrのロウレベルと内部制御信号XGのハイレベルを受けてメモリアレイMARYの指定されたワード線Waが択一的に選択レベルとされ、このワード線WaとYアドレス信号AYaにより指定されるビット線の交点に配置された1個のメモリセルに対するアクセスが実行される。

【0053】一方、X系冗長アドレス比較回路XRACの単位アドレス比較回路UAC0～UACiのすべてにおいて救済アドレスの各ビットと内部Xアドレス信号X0*～Xi*の対応するビットが全ビット一致した場合、内部ノードn1つまり冗長ワード線選択信号Xrは、ディスチャージされることなくハイレベルのままとされる。このため、内部制御信号XGがハイレベルとされた時点で、メモリアレイMARYの冗長ワード線Wrが択一的に選択レベルとされる。これにより、メモリアレイMARYの障害が検出された欠陥ワード線は、メモリアレイMARYの冗長ワード線Wrと置き換えられ、救済される。

【0054】次に、ロウアドレスストローブ信号RASBの立ち下がり時点における起動制御信号の組み合わせによりダイナミック型RAMが冗長イネーブル回路のためのヒューズ疑似切断モードとされるとき、タイミング発生回路TGは、図6に示されるように、ロウアドレスストローブ信号RASBの立ち下がりを受けて内部制御信号XL及びTRをハイレベルとした後、カラムアドレスストローブ信号CASBがロウレベルとされてから所定時間が経過した時点で内部制御信号PGEを所定期間だけ一時的にハイレベルとする。内部制御信号PCBはロウレベルに固定され、内部制御信号XGもロウレベル固定される。

【0055】この実施例において、ダイナミック型RAMが冗長イネーブル回路のためのヒューズ疑似切断モードとされるとき、アドレス入力端子A0～Aiには、Xアドレス信号AXbの最下位ビットつまり内部Xアドレス信号X0*として冗長イネーブル回路XRENのヒューズF11の疑似切断情報が入力される。すなわち、ヒューズ疑似切断モードによって冗長イネーブル回路XRENのヒューズF11を疑似切断状態としたいとき、Xアドレス信号の最下位ビットは論理“0”とされ、内部Xアドレス信号X0*の非反転信号つまり非反転内部Xアドレス信号X0Tは、図6に太い実線で示されるように、ロウレベルとされる。また、ヒューズ疑似切断モードによりヒューズF11を疑似切断状態から解放したいとき、Xアドレス信号の最下位ビットは論理“1”とさ

れ、非反転内部Xアドレス信号X0Tは、図6に太い点線で示されるように、ハイレベルとされる。

【0056】X系冗長回路XRの冗長イネーブル回路XRENでは、内部制御信号PGEの一時的なハイレベルを受けてMOSFETN11及びP11がらなるトランスファゲートがオン状態となり、非反転内部Xアドレス信号供給点X0Tにおけるハイレベル又はロウレベルが、ラッチ回路LTEの非反転入出力ノードつまり内部ノードn11に伝達され、書き込まれる。このため、内部ノードn11は、疑似切断情報が論理“0”つまり非反転内部Xアドレス信号X0Tがロウレベルである場合、図6に太い実線で示されるように、ロウレベルとなり、これを受けて冗長イネーブル信号RENXがハイレベルとされる。また、疑似切断情報が論理“0”つまり非反転内部Xアドレス信号X0Tがハイレベルである場合、図6に太い点線で示されるように、内部ノードn11はロウレベルとなり、これを受けて冗長イネーブル信号RENXがロウレベルとされる。

【0057】前記のように、ラッチ回路LTEの保持状態は、内部制御信号PGEが次にハイレベルとされるまでの間、保持される。したがって、内部ノードn11をロウレベルとしたまま、内部制御信号TRをハイレベルとする、つまりMOSFETP11をオフ状態とする冗長テストモードを実行することで、ヒューズF11が切断された状態を疑似的に作り出し、冗長イネーブル信号RENXを無条件にハイレベルとして、メモリアレイMARYの冗長ワード線Wrに対するテストアクセスを強制的に実行することができるものとなる。

【0058】一方、ロウアドレスストローブ信号RASBの立ち下がり時点における起動制御信号の組み合わせによりダイナミック型RAMがX系冗長アドレス比較回路のためのヒューズ疑似切断モードとされるとき、タイミング発生回路TGは、図7に示されるように、内部制御信号PCB及びXGをロウレベルに固定するとともに、ロウアドレスストローブ信号RASBの立ち下がりを受けて内部制御信号XL及びTRをハイレベルとした後、図示されないカラムアドレスストローブ信号CASBがロウレベルとされてから所定時間が経過した時点で内部制御信号PGCを所定期間だけ一時的にハイレベルとする。

【0059】この実施例において、ダイナミック型RAMがX系冗長アドレス比較回路のためのヒューズ疑似切断モードとされるとき、アドレス入力端子A0～Aiには、Xアドレス信号AXcの各ビットつまり内部Xアドレス信号X0*～Xi*として、単位アドレス比較回路UAC0～UACiのヒューズF21及びF22に関する疑似切断情報が入力される。すなわち、X系冗長アドレス比較回路のためのヒューズ疑似切断モードにより単位アドレス比較回路UAC0～UACiのヒューズF22を疑似切断状態とし対応するヒューズF21を疑似選

択状態から解放したいとき、Xアドレス信号の対応するビットはそれぞれ論理“1”とされ、非反転内部Xアドレス信号X0T等は、図7に太い実線で示されるように、ハイレベルとされる。また、X系冗長アドレス比較回路のためのヒューズ疑似切断モードにより単位アドレス比較回路UAC0～UACiのヒューズF21を疑似切断状態とし対応するヒューズF22を疑似選択状態から解除したいときには、Xアドレス信号の対応するビットは論理“0”とされ、非反転内部Xアドレス信号X0T等は、図7に太い点線で示されるように、ロウレベルとされる。

【0060】X系冗長アドレス比較回路XRACの例えば単位アドレス比較回路UAC0では、内部制御信号PGCのハイレベルを受けてMOSFETN27及びP21からなるトランスファゲートがオン状態となり、非反転内部Xアドレス信号供給点X0Tにおけるハイレベル又はロウレベルがインバータV21及びV22からなるラッチ回路LTX0の非反転出力ノードつまり内部ノードn21に伝達され書き込まれる。このため、疑似切断情報が論理“1”つまり非反転内部Xアドレス信号X0Tがハイレベルである場合、内部ノードn21は、図7に太い実線で示されるように、ハイレベルとなってMOSFETN22がオン状態となり、内部ノードn22はロウレベルとなってMOSFETN24はオフ状態となる。また、疑似切断情報が論理“0”つまり非反転内部Xアドレス信号X0Tがロウレベルである場合、内部ノードn21は、図7に太い点線で示されるように、ロウレベルとなってMOSFETN22はオフ状態となり、内部ノードn22はハイレベルとなってMOSFETN24がオン状態となる。

【0061】言うまでもなく、ラッチ回路LTX0の保持状態は、X系冗長アドレス比較回路のためのヒューズ疑似切断モードが再度実行され、内部制御信号PGCが次にハイレベルとされるまでの間、保持される。したがって、単位アドレス比較回路UAC0～UACiのラッチ回路LTX0に試験的な救済アドレスの各ビットに対応する論理値を保持させたまま、内部制御信号TRをハイレベルとする、つまりはMOSFETN21及びN23をオフ状態とする冗長テストモードを実行することで、MOSFETN22又はN24を意図的にオフ状態としてヒューズF21又はF22が切断された状態を疑似的に作り出し、冗長ワード線Wrに任意の救済アドレスを割り当てることができるものとなる。

【0062】次に、ロウアドレスストローブ信号RASBの立ち下がり時点における起動制御信号の組み合わせによりダイナミック型RAMが冗長テストモードとされるとき、タイミング発生回路TGは、図8に示されるように、ロウアドレスストローブ信号RASBの立ち下がりを受けて内部制御信号XL、PCBならびにTRをハイレベルとするとともに、所定の時間が経過した時点で

内部制御信号XGをハイレベルとする。内部制御信号PGE及びPGCは、ロウレベルに固定される。このとき、冗長イネーブル回路XRENの内部ノードn11には、ヒューズF11を疑似切断状態とするため直前に実行された冗長イネーブル回路のためのヒューズ疑似切断モードによってロウレベルが書き込まれ、冗長イネーブル信号RENXはハイレベルに固定されている。また、X系冗長アドレス比較回路XRACの例えば単位アドレス比較回路UAC0の内部ノードn21には、やはり直前に実行されたX系冗長アドレス比較回路のためのヒューズ疑似切断モードにより例えばハイレベルが書き込まれたことで、ヒューズF22が疑似切断状態にあり、対をなすヒューズF21は疑似的にも非切断状態にある。

【0063】ダイナミック型RAMでは、内部制御信号XLのハイレベルを受けてアドレス入力端子A0～AiのXアドレス信号AXdがXアドレスバッファXBに取り込まれ、所定時間が経過した時点で内部Xアドレス信号X0*～Xi*の非反転及び反転信号の論理レベルが対応する組み合わせでハイレベル又はロウレベルに確定される。また、X系冗長アドレス比較回路XRACでは、ダイナミック型RAMが非選択状態とされる間に、冗長イネーブル信号RENXのハイレベルを受けて内部ノードn1のプリチャージが行われるが、この内部ノードn1のハイレベルは、内部Xアドレス信号X0*～Xi*の非反転及び反転信号の論理レベルが確定した時点で選択的にディスチャージされ、ロウレベルに変化される。

【0064】すなわち、X系冗長アドレス比較回路XRACの単位アドレス比較回路UAC0～UACiのすべてにおいて疑似的に与えられた救済アドレスの対応するビットとアクセスアドレスつまり内部Xアドレス信号X0*～Xi*の対応するビットとが全ビット一致した場合、内部ノードn1つまり冗長ワード線選択信号Xrは、図8に太い実線で示されるように、ディスチャージされることなくハイレベルのままとされ、この冗長ワード線選択信号Xrのハイレベルと内部制御信号XGのハイレベルとを受けてメモリアレイMARYの冗長ワード線Wrが一括的に選択レベルとされる。この結果、メモリアレイMARYの疑似的な救済アドレスにより指定されたワード線は、実際には何ら障害を持たず正常であるにもかかわらず、冗長ワード線Wrと強制的に置き換えられ、これによって冗長ワード線Wr及びX系冗長回路XRの正常性を確認することができる。

【0065】なお、単位アドレス比較回路UAC0～UACiのいずれかで、疑似的に与えられた救済アドレスの各ビットと内部Xアドレス信号X0*～Xi*の対応するビットとが不一致となった場合、X系冗長アドレス比較回路XRACの内部ノードn1つまり冗長ワード線選択信号Xrは、図8に太い点線で示されるように、ロウレベルとされる。このため、内部制御信号XGがハイ

レベルとされた時点でメモリアレイMARYの指定されたワード線Wdが択一的に選択レベルとされ、このワード線WdとYアドレス信号AYdにより指定されるビット線の交点に配置された1個のメモリセルに対する通常のアクセスが行われる。

【0066】以上のように、この実施例のダイナミック型RAMは、冗長ワード線Wr及び冗長ビット線Br*を含むメモリアレイを備え、これらの冗長ワード線Wr及び冗長ビット線Br*に対応して設けられるX系冗長回路XR及びY系冗長回路YRを備える。また、X系冗長回路XR及びY系冗長回路YRは、X系冗長回路XRに代表されるように、ヒューズF11を含む冗長イネーブル回路XRENと、同様にヒューズF21及びF22をそれぞれ含む単位アドレス比較回路UAC0~UACiとを備え、これらの冗長イネーブル回路XRENならびに単位アドレス比較回路UAC0~UACiのそれぞれは、さらに、ヒューズF11あるいはF21及びF22と直列形態に設けられ通常動作モード時はオン状態とされ冗長テストモード時にはオフ状態とされるスイッチMOSFETP11あるいはN21及びN23と、対応するヒューズF11あるいはF21及びF22の疑似切断情報を保持するラッチ回路LTE又はLTx0等を含む。

【0067】これにより、この実施例のダイナミック型RAMでは、各部の基本的な機能を確認するためのプローバテストにおいて、冗長イネーブル回路XRENならびに単位アドレス比較回路UAC0~UACi等に設けられるヒューズF11あるいはF21及びF22を疑似的に切断状態とし、X系冗長回路XR及びY系冗長回路YRの正常性を確認することができるため、ダイナミック型RAMのプローバテストを単一化し、その製造工程を簡素化することができる。また、特にウエハ上に形成された複数のチップを同時に試験対象とする多数取りプローバテストの場合、試験対象となるチップごとに異なる疑似切断情報を与え、個別の確認試験を実施することができるため、ダイナミック型RAMの機能試験を効率良く実施することができる。さらに、プローバテストにおいて冗長ワード線Wr又は冗長ビット線Br*自体に異常が検出され、しかもメモリアレイMARYに複数の冗長ワード線及び冗長ビット線が設けられる場合には、欠陥救済に供される冗長ワード線又は冗長ビット線をヒューズ切断前に取り替え、確実に欠陥救済を実現することができる。これらの結果、ダイナミック型RAMの製造工程を簡素化し、その機能試験を効率化して、ダイナミック型RAMの低コスト化を図ることができるとともに、その製品歩留りを高めることができるものである。

【0068】なお、以上の実施例では、本発明をダイナミック型RAMのX系冗長回路XR及びY系冗長回路YRに適用した場合について説明してきたが、ダイナミック型RAMが外部から供給される電源電圧VDDをもと

に基板電圧等の内部電圧を生成する内部電圧発生回路を搭載し、内部電圧の電位調整のためのトリミング回路を備える場合、トリミング回路に設けられるヒューズ回路に対して本発明による同様な機能を持たせ、電位調整に関し同様な効果を得ることができる。

【0069】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) ヒューズを含む欠陥救済用の冗長回路又は電位調整用のトリミング回路を備えるダイナミック型RAM等において、冗長回路又はトリミング回路の各ヒューズと直列形態に、通常動作時オン状態とされ、所定の試験動作時はオフ状態とされる第1のスイッチ手段をそれぞれ設けるとともに、各ヒューズに対応して、各ヒューズを実際には切断状態としないまま疑似的に切断された状態とするための疑似切断情報を保持するラッチ回路を設け、各ラッチ回路の非反転又は反転出力ノードと所定の信号経路との間に、Pチャンネル及びNチャンネルMOSFETが並列結合されてなり、ヒューズ疑似切断モード時選択的にオン状態とされる第2のスイッチ手段をそれぞれ設けることで、各ラッチ回路に疑似切断情報を任意の組み合わせで書き込み、所望のヒューズを疑似的に切断した状態で、ダイナミック型RAM等の欠陥救済後又は電位調整後の機能試験をヒューズ切断前に仮想的に実施し、冗長素子を含む冗長回路ならびにトリミング回路自体の正常性を容易に確認することができるという効果が得られる。

【0070】(2) 上記(1)項により、ダイナミック型RAM等のプローバテストを単一化することができるという効果が得られる。

(3) 上記(1)項により、特にウエハ上に形成された複数のチップを同時に試験対象とする多数取りプローバテストの場合、試験対象となるチップごとに異なる疑似切断情報を与え、個別の試験を実施できるという効果が得られる。

(4) 上記(1)項により、冗長素子自体に障害が検出され、しかもダイナミック型RAM等に複数の冗長素子が設けられる場合には、冗長素子を正常なものと取り替え、確実に欠陥救済を実現できるという効果が得られる。

(5) 上記(1)項~(4)項により、ダイナミック型RAM等の製造工程を簡素化し、その機能試験を効率化することができるという効果が得られる。

(6) 上記(1)項~(5)項により、ダイナミック型RAM等の低コスト化を図り、その製品歩留りを高めることができるという効果が得られる。

【0071】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、ダイナミック型RAMのメモリアレ

IMARYに設けられる冗長ワード線及び冗長ビット線の数は、任意に設定することができる。また、メモリアレイMARYは、その直接周辺回路を含めて任意数のメモリマツトに分割することができるし、例えばシェアドセンス方式をとることもできる。ダイナミック型RAMは、任意のビット構成をとることができるし、アドレスマルチプレクスをとることを必須条件ともしない。さらに、ダイナミック型RAMは任意のブロック構成をとりうるし、起動制御信号及び内部制御信号等の名称及び有効レベルならびに電源電圧及び各内部電圧の極性及び絶対値等も、種々の実施形態をとりうる。

【0072】図2において、X系冗長回路XRのブロック構成は、この実施例による制約を受けない。また、疑似切断情報の入力経路は、アドレス信号経路に限定されないし、その方法も任意である。図3及び図4において、X系冗長回路XRの冗長イネーブル回路XRENならびにX系冗長アドレス比較回路XRACの単位アドレス比較回路UAC0～UACiに設けられるヒューズF11ならびにF21及びF22の切断条件は、任意に設定できる。また、冗長イネーブル回路XRENならびにX系冗長アドレス比較回路XRACの単位アドレス比較回路UAC0～UACiの具体的構成及びMOSFETの導電型等は、基本的論理条件が変わらない限りにおいて種々の実施形態をとりうる。図5ないし図8において、各信号の具体的なレベル及び時間関係は、本発明の主旨に制約を与えない。

【0073】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるダイナミック型RAMの冗長回路及びトリミング回路に適用した場合について説明したが、それに限定されるものではなく、例えば、同様な冗長回路及びトリミング回路を含むスタティック型RAM等の各種メモリ集積回路装置やこのようなメモリ集積回路装置を含むシングルチップマイクロコンピュータ等の論理集積回路装置にも適用できる。また、本発明の対象となるヒューズは、冗長回路又はトリミング回路に設けられるものに限らず、例えばモード切り換えや仕様切り換えのためのヒューズにも同様に適用できる。この発明は、少なくともヒューズを含む半導体集積回路装置ならびにこのような半導体集積回路装置を含む装置又はシステムに広く適用できる。

【0074】

【発明の効果】本願において開示される発明のうち代表的なものにより得られる効果を簡単に説明すれば、下記の通りである。すなわち、ヒューズを含む欠陥救済用の冗長回路又は電位調整用のトリミング回路を備えるダイナミック型RAM等において、冗長回路又はトリミング回路の各ヒューズと直列形態に、通常動作時オン状態とされ、所定の試験動作時はオフ状態とされる第1のスイッチ手段をそれぞれ設けるとともに、各ヒューズに対応して、各ヒューズを実際には切断状態としないまま疑似

的に切断された状態とするための疑似切断情報を保持するラッチ回路を設け、各ラッチ回路の非反転又は反転入出力ノードと所定の信号経路との間に、Pチャンネル及びNチャンネルMOSFETが並列結合されてなり、ヒューズ疑似切断モード時選択的にオン状態とされる第2のスイッチ手段をそれぞれ設けることで、各ラッチ回路に疑似切断情報を任意の組み合わせで書き込み、所望のヒューズを疑似的に切断状態とした状態で、ダイナミック型RAM等の欠陥救済後又は電位調整後の機能試験をヒューズ切断前に仮想的に実施し、冗長回路や冗長素子ならびにトリミング回路自体の正常性を確認できるため、ブローバテストを単一化することができる。また、特にウエハ上に形成された複数のチップを同時に試験対象とするいわゆる多数取りブローバテストの場合、試験対象となるチップごとに異なる疑似切断情報を与え、個別の確認試験を実施できるとともに、冗長素子自体に障害が検出された場合、冗長素子を正常なものと取り替えて確実に欠陥救済を実現することができる。この結果、ダイナミック型RAM等の製造工程を簡素化し、その機能試験を効率化して、ダイナミック型RAM等の低コスト化を図ることができるとともに、その製品歩留りを高めることができる。

【図面の簡単な説明】

【図1】この発明が適用されたダイナミック型RAMの一実施例を示すブロック図である。

【図2】図1のダイナミック型RAMに含まれるX系冗長回路の一実施例を示すブロック図である。

【図3】図2のX系冗長回路に含まれる冗長イネーブル回路の一実施例を示す回路図である。

【図4】図2のX系冗長回路のX系冗長アドレス比較回路に含まれる単位アドレス比較回路の一実施例を示す回路図である。

【図5】図2のX系冗長回路の通常動作時の一実施例を示す信号波形図である。

【図6】図3の冗長イネーブル回路のヒューズ疑似切断時の一実施例を示す信号波形図である。

【図7】図4の単位アドレス比較回路のヒューズ疑似切断時の一実施例を示す信号波形図である。

【図8】図2のX系冗長回路の冗長テスト時の一実施例を示す信号波形図である。

【符号の説明】

MARY……メモリアレイ、W0～Wm……ワード線、Wr……冗長ワード線、B0*～Bn*……相補ビット線、Br*……冗長ビット線、XD……Xアドレスデコード、XR……X系冗長回路、Xr……冗長ワード線選択信号、XB……Xアドレスバッファ、X0*～Xi*……内部Xアドレス信号、SA……センスアンプ、YD……Yアドレスデコード、YR……Y系冗長回路、Yr……冗長ビット線選択信号、YB……Yアドレスバッファ、Y0*～Yi*……内部Yアドレス信号、CD*

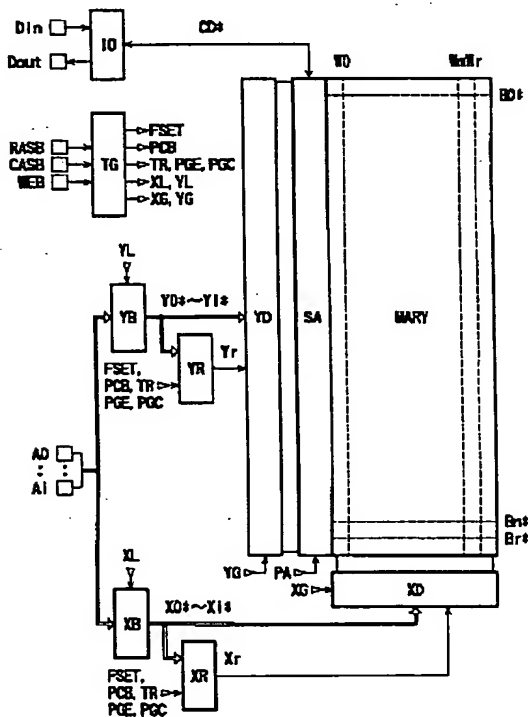
……相補共通データ線、I O……データ入出力回路、T G……タイミング発生回路、P C B, T R, P G E, P G C, X L, Y L, X G, Y G, P A……内部制御信号、F S E T……ヒューズセット信号、D i n……入力データ又はその入力端子、D o u t……出力データ又はその出力端子、R A S B……ロウアドレスストロブ信号又はその入力端子、C A S B……カラムアドレスストロブ信号又はその入力端子、W E B……ライトイネーブル信号又はその入力端子、A 0 ~ A i……アドレス信号又はその入力端子。X R E N……冗長イネーブル回路、R E N X……冗長イネーブル信号、X R A C……X

系冗長アドレス比較回路、U A C 0 ~ U A C i……単位アドレス比較回路、n 1……内部ノード。L T E, L T X 0……ラッチ回路。F 1 1, F 2 1 ~ F 2 2……ヒューズ、P 1, P 1 1 ~ P 1 4, P 2 1……PチャンネルMOSFET、N 1, N 1 1 ~ N 1 4, N 2 1 ~ N 2 7……NチャンネルMOSFET、V 1, V 1 1 ~ V 1 2, V 2 1 ~ V 2 4……インバータ、O G 1……オアゲート、n 1 1, n 2 1 ~ n 2 2……内部ノード。A X a ~ A X d……Xアドレス信号、A Y a ~ A Y d……Yアドレス信号、W a, W d……ワード線。

【図 1】

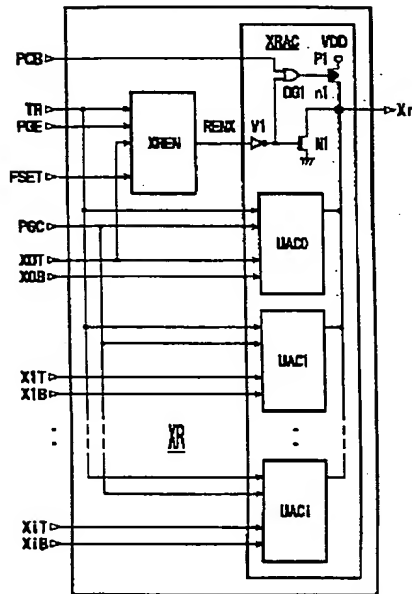
【図 2】

図 1 ダイナミック型RAMのブロック構成



【図 3】

図 2 X系冗長回路のブロック構成



【図 4】

図 3 冗長イネーブル回路の回路構成

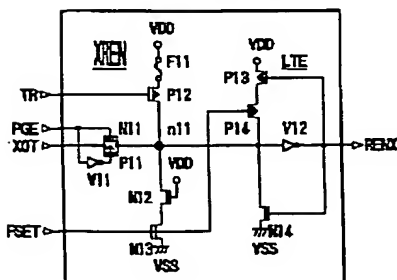
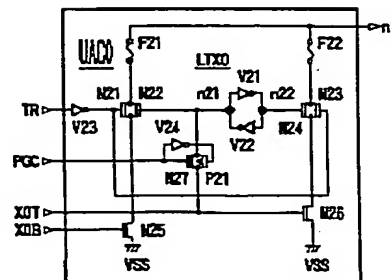
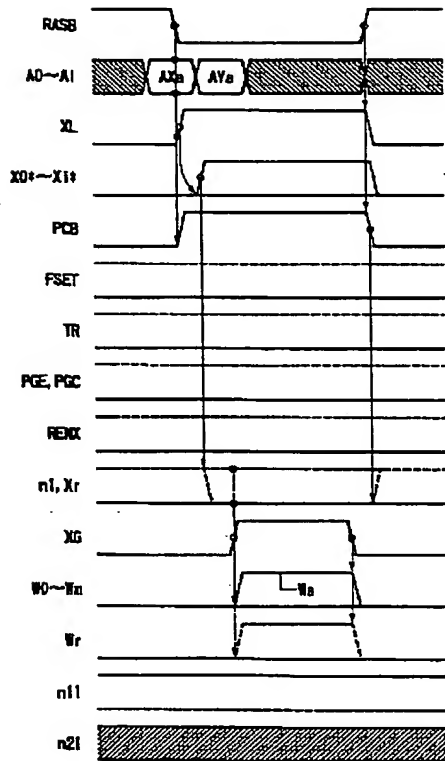


図 4 単位アドレス比較回路の回路構成



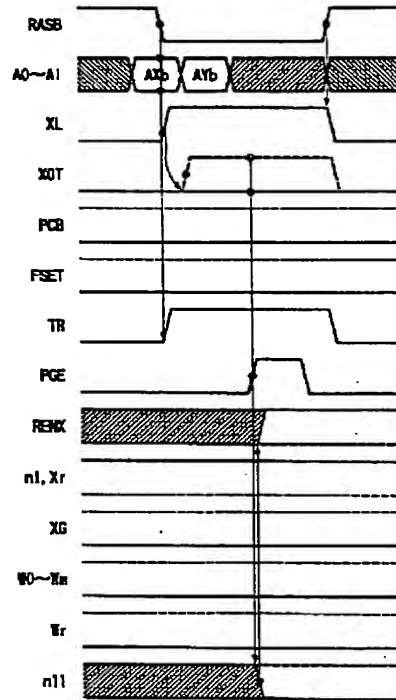
【図 5】

図 5 X 系アドレス比較回路の通常動作時の信号波形



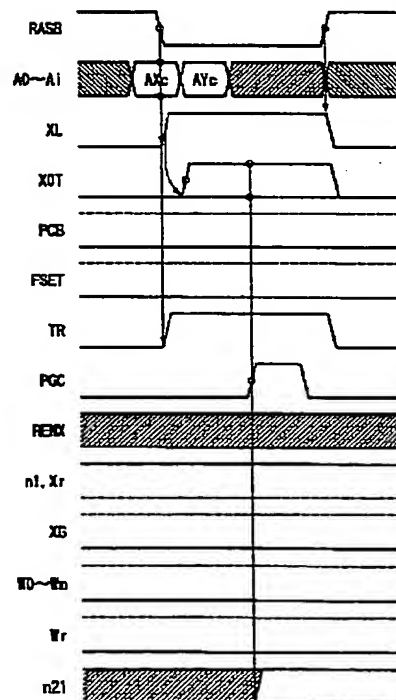
【図 6】

図 6 冗長イネーブル回路のヒューズ融切直後の信号波形



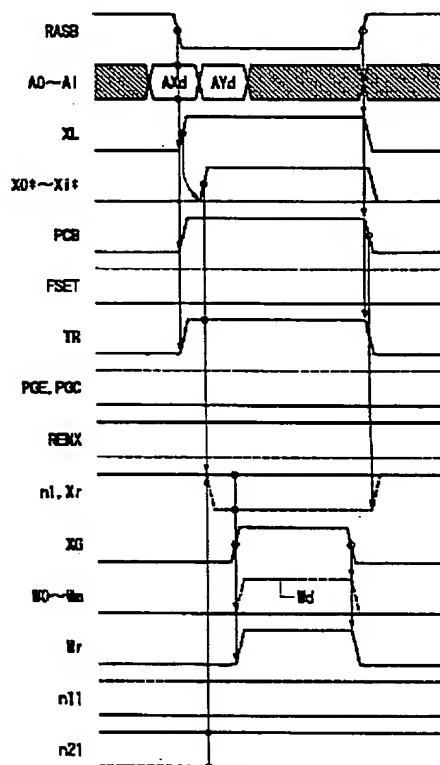
【図 7】

図 7 単位アドレス比較回路のヒューズ融切直後の信号波形



【図8】

図8 X系冗長回路の冗長テスト時の信号波形



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

H 0 1 L 27/108

F ターム (参考) 5B024 AA15 BA29 CA07 EA02 EA09
 5F064 BB14 CC12 FF02 FF27 FF36
 5F083 AD00 GA28 ZA10 ZA30
 5L106 AA01 CC04 CC12 CC13 EE07
 EE08 GG07